

PAT-NO: JP406224441A

DOCUMENT-IDENTIFIER: JP 06224441 A

TITLE: SEMICONDUCTOR MEMORY DEVICE

PUBN-DATE: August 12, 1994

INVENTOR-INFORMATION:

NAME

IGARASHI, YASUSHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

OKI ELECTRIC IND CO LTD

N/A

APPL-NO: JP05009617

APPL-DATE: January 25, 1993

INT-CL (IPC): H01L029/788, H01L029/792, H01L027/115

ABSTRACT:

PURPOSE: To provide an EEPROM capable of preventing the occurrence of an unnecessary current path due to depletion and inversion of the surface of a source region when information is erased.

CONSTITUTION: A part 49a of part Q opposite to a source region 33a of a control gate 49 is formed of a polysilicon, and the other part 49b of the control gate 49 is formed of a lanthanum hexaboride (LaB<SB>6</SB>). By this, a work function of the polysilicon is 4eV and a work function of the LaB<SB>6</SB> is 2.8eV, so that the part opposite to the LaB<SB>6</SB> gate 49b of the source region 33a is not depleted even if the part opposite to the polysilicon gate 49a of the source region 33a is depleted, and thus information can be erased. Since the part which is not depleted in a part of the source region 33a remains, a current path which has been a conventional problem does not occur.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-224441

(43)公開日 平成6年(1994)8月12日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/788

29/792

27/115

7210-4M

H 0 1 L 29/ 78 3 7 1

27/ 10 4 3 4

審査請求 未請求、請求項の数3 OL (全 10 頁)

(21)出願番号 特願平5-9617

(22)出願日 平成5年(1993)1月25日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 五十嵐 泰史

東京都港区虎ノ門1丁目7番12号 沖電気

工業株式会社内

(74)代理人 弁理士 大垣 孝

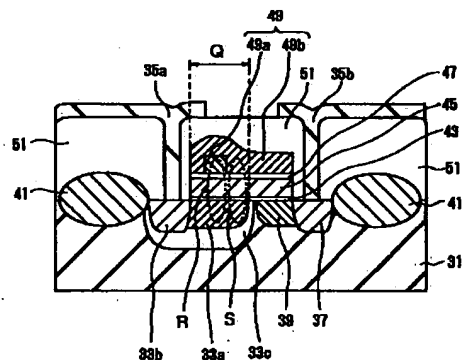
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 情報消去の際ソース領域33a表面が空乏化及び反転し不要電流経路が生じることを防止できるEEPROMを提供する。

【構成】 コントロールゲート49のソース領域33aと対向する部分Qの一部分49aをポリシリコンで構成し、該コントロールゲート49の他の部分49bを六ホウ化ランタン(LaB₆)で構成する。

【効果】 ポリシリコンの仕事関数が4eV、LaB₆の仕事関数が2.8eVであるので、ソース領域33aのポリシリコンゲート49aと対向する部分が空乏化してもソース領域33aのLaB₆ゲート49bと対向する部分は空乏化させることなく情報消去ができる。ソース領域33aの一部に空乏化しない部分が残るから従来問題となっていた電流経路は生じない。



【特許請求の範囲】

【請求項1】 EEPROM型の半導体記憶装置であって、情報の消去をコントロールゲートと半導体基板の一部領域の間に所定電圧を印加することによって行なう半導体記憶装置において、

メモリセルに使用される電界効果トランジスタがNチャネル型の場合は、コントロールゲートの、前記情報消去に使用される半導体基板一部領域と対向する部分の一部分を、該コントロールゲートの他の部分を構成している第1の材料より大きな仕事関数を有する第2の材料をもつて構成し、

前記電界効果トランジスタがPチャネル型の場合は、前記コントロールゲートの、前記情報消去に使用される半導体基板一部領域と対向する部分の一部分を、該コントロールゲートの他の部分を構成している第1の材料より小さな仕事関数を有する第2の材料をもつて構成したことを特徴とする半導体記憶装置。

【請求項2】 請求項1に記載の半導体記憶装置において、

前記電界効果トランジスタがNチャネル型の場合、前記第1の材料を前記半導体基板の仕事関数>該第1の材料の仕事関数という条件を満足するよう選択し、

前記電界効果トランジスタがPチャネル型の場合、前記第1の材料を前記半導体基板の仕事関数<該第1の材料の仕事関数という条件を満足するよう選択してあることを特徴とする半導体記憶装置。

【請求項3】 請求項1に記載の半導体記憶装置において、

前記情報消去に使用される半導体基板一部領域がソース領域又はドレイン領域であることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、EEPROM (Electrically Erasable Programmable Read Only Memory) 型の半導体記憶装置に関するものである。

【0002】

【従来の技術】ハードディスク、フロッピーディスク、磁気テープなどを用いた磁気記憶装置を半導体記憶装置で代替しようとする試みが、近年なされている。こうすることにより記憶装置から機械的な駆動部を除去できるため、より小型で、より信頼性が高く、よりデータの書き込み及び読み出し速度が早いコンピュータなどが実現できるからである。

【0003】この試みに好適な半導体記憶装置としては、例えば文献I (「最新版超LSIプロセスデータハンドブック」, (1990.3.31) (株)サイエンス・フォーラム, pp. 81~88) に開示のような、EEPROM、Flash EEPROM、NAND型EEPROMなどがある。特に、NAND型EEPROMは1ビット

ト当たりのセル面積が他のものに比べ小さい、すなわち1ビット当たりのコストが低いので、有望視されている。

【0004】これらいずれのEEPROMも、基本的には、図9に断面図をもって示したように例えばn型ソース領域11及びドレイン領域13が形成されたp型シリコン基板15のソース領域11及びドレイン領域13間の部分上に、トンネル絶縁膜17、フローティングゲート19、ゲート絶縁膜21及びコントロールゲート23をこの順に積層した構成とされていた。

【0005】これらEEPROMでは、フローティングゲートに例えば電子が注入されている場合を例えばデータ「1」の状態、されていない場合をデータ「0」の状態として情報の記憶が行なわれる。フローティングゲートへの電子の注入、そこからの電子の引き抜きは、上記文献にも開示のように種々の方法がある。前者は、例えばドレイン領域及びソース領域間にドレイン側が正となるように所定電圧を印加することでチャネルにホットエレクトロンを発生させ、かつ、コントロールゲート及びソース領域間にコントロールゲート側が正となるように高電圧を印加することでホットエレクトロンをフローティングゲートに注入することにより、行なえる。一方、フローティングゲートからの電子の引き抜き(情報消去)は、コントロールゲート及びソース領域間にソース領域側が正となるように高電圧を印加することでトンネル絶縁膜にFowler-Nordheim電子電流(以下、「FN電流」という。)を生じさせることにより、行なえる。なお、電子の注入及び引き抜きのための電圧は、別途に用意された電源から供給する場合、または、例えばNAND型EEPROMのように、外部電源として5V単一電源のみを用意しこの電圧をチップ内部に設けた昇圧回路により昇圧して供給する場合がある。

【0006】

【発明が解決しようとする課題】しかしながら、従来のいずれのEEPROMも、コントロールゲート23は一種類の材料(一般にはポリシリコン)で構成されていた。このため、情報消去のために図9に示したようにコントロールゲート23及びソース領域11間にソース領域11側が正となるように電圧を印加すると、ソース領域11のコントロールゲート23と対向している部分の表面は等しく空乏化しさらに反転しさらにこの空乏層の幅が狭いためトンネル電流経路が形成され、その結果、ソース領域11に印加されている正電圧電源から半導体基板17へ電流(図9にPで示す。)が流れてしまう(この電流を説明の都合上、以下「基板電流」と称する。)

【0007】この基板電流は本来は不要な電流であり消費電流の増加を招く原因になる。消費電流の増加はいずれの場合も好ましくない。また、この基板電流はチップ内部に昇圧回路を設ける場合は昇圧回路を設けることを

困難とする原因にもなる。したがって、基板電流の発生を防止できる構造が望まれる。

【0008】この発明はこのような点に鑑みなされたものであり、従ってこの発明の目的は情報消去時に基板電流が生じるのを防止できる構造のEEPROM型の半導体記憶装置を提供することにある。

【0009】

【課題を解決するための手段】この目的の達成を図るため、この発明によれば、EEPROM型の半導体記憶装置であって、情報の消去をコントロールゲートと半導体基板の一部領域との間に所定電圧を印加することによって行なう半導体記憶装置において、メモリセルに使用される電界効果トランジスタがNチャネル型の場合は、コントロールゲートの、前述の情報消去に使用される半導体基板一部領域と対向する部分の一部分を、該コントロールゲートの他の部分を構成している第1の材料より大きな仕事関数を有する第2の材料をもって構成し、前述の電界効果トランジスタがPチャネル型の場合は、前述のコントロールゲートの、前述の情報消去に使用される半導体基板一部領域と対向する部分の一部分を、該コントロールゲートの他の部分を構成している第1の材料より小さな仕事関数を有する第2の材料をもって構成したことを特徴とする。

【0010】このようなコントロールゲートを実現する第1及び第2の各材料は上記条件を満足すれば特に限定されない。また、第1の材料及び第2の材料間でどの程度の仕事関数差が生じるようにこれら材料を選択するかについては、当該半導体記憶装置の使用条件（情報消去に印加する電圧値など）を考慮して決定すれば良い。メモリセルに使用される電界効果トランジスタがNチャネル型の例で考えると、例えば、第1の材料を六ホウ化ランタン（LaB₆）とし、第2の材料をポリシリコンとする例を挙げることができる。ポリシリコンはゲート形成材料として実績があり、また、LaB₆は化学的にも安定であり、然も、ポリシリコンの仕事関数は4eVであり、LaB₆の仕事関数は2.8eVであるのでこの発明でいう仕事関数の条件をも満足するからである。

【0011】また、この発明の実施に当たり、メモリセルに使用される電界効果トランジスタがNチャネル型の場合、前述の第1の材料を前述の半導体基板の仕事関数>該第1の材料の仕事関数という条件を満足するよう選択し、前述の電界効果トランジスタがPチャネル型の場合、前述の第1の材料を前述の半導体基板の仕事関数<該第1の材料の仕事関数という条件を満足するよう選択するのが好適である。このように第1の材料をそれぞれ選択すると、この発明の半導体記憶装置を情報消去動作させたときの第1の材料で構成されたコントロールゲート部分下のMOS構造部分での空乏化をより抑制できるからである。半導体基板をシリコン基板とする場合シリコンの仕事関数は~4eVであるので、メモリセルに使

用される電界効果トランジスタがNチャネル型の場合において第1の材料をLaB₆とし、第2の材料をポリシリコンとする上記例示の構成は、この好適条件をも満足するので好ましい。なお、LaB₆の代わりに、他のホウ化物、或いは、炭化物を用いても良いと考えられる。

【0012】

【作用】この発明の構成によれば、情報消去に使用される半導体基板一部領域（例えばソース領域またはドレイン領域）には、第1の材料で構成されたコントロールゲート部分と対向する部分及び、第1の材料とは所定の関係の異なる仕事関数を有する第2の材料で構成されたコントロールゲート部分と対向する部分の、少なくとも2つの領域ができる。そして、例えばメモリセルに使用される電界効果トランジスタがNチャネル型の場合の例で考えると、コントロールゲート及び半導体基板間に電圧を印加した場合、仕事関数が大きな材料（第2の材料）で構成されたコントロールゲート部分と対向する半導体基板領域の方が、仕事関数が小さな材料（第1の材料）で構成されたコントロールゲート部分と対向する半導体基板領域に比べ先に空乏化する。このことは、情報消去に使用される半導体基板の一部領域のうちの第1の材料で構成したコントロールゲート部分と対向する領域を空乏化させることなく、情報消去動作が可能なることを意味するので、従来問題とされていた図9にPで示した基板電流経路を消滅させることができる。

【0013】また、情報消去に使用される半導体基板の一部領域のうちの第2の材料（仕事関数が大きな材料）で構成したコントロールゲート部分と対向する領域の表面付近は、上記空乏化及び反転によりホール（電子の注入・抜き取りにより記憶を行なう場合を仮定した。）が蓄積され易いので、この領域にはフローティングゲートに蓄積されている電子がより引きつけられ易くなる。このため、フローティングゲートに蓄積されている電子を基板側に効率良く引き抜くことができる。

【0014】また、当該半導体記憶装置のMOSTランジスタ部分のコントロールゲートは仕事関数が小さな材料（第1の材料）で構成されることになるので、その分、チャンネルの不純物濃度を高めることができる（詳細は後に図2を用い説明する。）。したがって、ドレイン近傍の電界勾配を急峻にすることができるからホットキャリアの発生効率を高めること（電子をフローティングゲートに書き込む効率を高めること）が可能になる。

【0015】これらの作用は、メモリセルに使用される電界効果トランジスタがPチャネルの場合においても、第1及び第2材料を所定関係としているので（電子、正孔などのふるまいは逆転するものの）同様に得られる。

【0016】

【実施例】以下、図面を参照してこの発明の半導体記憶装置の実施例について説明する。なお、以下の実施例はメモリセルに使用される電界効果トランジスタをNチャ

ネル型とした場合の例である。また、説明に用いる各図はこの発明を理解できる程度に、各構成成分の形状、大きさおよび配置関係を概略的に示してあるにすぎない。また、説明に用いる各図において、同様な構成成分については同一の符号を付して示してある。また、以下の説明中で述べる材料、製造手段、及び、膜厚、温度、時間等の数値的条件はこの発明の範囲内の一例にすぎない。

【0017】1. 構造説明

図1は実施例の半導体記憶装置の要部を示した断面図である。この実施例の半導体記憶装置は、半導体基板としてのp型シリコン基板31に、情報消去に使用される半導体基板一部領域をも兼ねるソース領域33aと、このソース領域33a及び外部配線35a間を接続するための不純物拡散層33bと、ドレイン領域37と、チャンネル層39としてのp⁺層と、素子間分離領域41とを具える。さらに、この実施例の半導体記憶装置は、基板31の、ソース領域31a及びチャンネル層39間にわたる部分上に、基板31側から順にトンネル絶縁膜43、フローティングゲート45、ゲート絶縁膜47及びコントロールゲート49を具えている。そして、コントロールゲート49の、情報消去に使用される半導体基板一部領域（この場合はソース領域33a）と対向する部分（図1中Qで示した部分）の一部分49aの場合は中央部分49aを第2の材料としてのリン（P）ドーパのポリシリコンで構成し、それ以外の部分49bを第1の材料としての六ホウ化ランタン（LaB₆）で構成してある。

【0018】また、この実施例では、トンネル絶縁膜43を厚さ10nmのシリコン酸化膜で構成し、フローティングゲート45をリンドーパの厚さ100nmのポリシリコン膜で構成し、ゲート絶縁膜47を酸化窒化膜で構成してある。また、ソース領域33aは高濃度n型不純物拡散層33a（以下、n⁺層33a又はn⁺ソース領域33aともいう。）で構成し、不純物拡散層33bもn⁺層で構成してあり、さらにこれらn⁺ソース領域33a、n⁺層33bは低濃度n型不純物拡散層33c（以下、n⁻層33cともいう。）内に設けてある。これら各層33a、33b、33cの形成条件と、ドレイン領域37、チャンネル層39の各形成条件については後述の製造方法の項で述べる。なお、図1において、35bはドレイン領域37に接続される外部配線、51は層間絶縁膜である。

【0019】ここで、ソース領域33aをn⁺層としたのはこうすることで情報消去効率を向上させることができるからである。また、n⁻層33cを設けたのは、これにより、n⁺ソース領域33aとp⁺チャンネル層39とが直接接するのを防止でき、もって急峻な電界勾配ができるのを防止でき、接合耐圧を向上させることができるからである。また、p⁺チャンネル層39を設けたの

は、LaB₆で構成したコントロールゲート部分49b下のMOSTランジスタの閾値電圧V_tを調整するためである。ただし、LaB₆を用いたことにより以下に説明する様な効果が得られる。コントロールゲートの構成材料の仕事関数をパラメータとした場合の、チャンネル層37の不純物濃度とMOSTランジスタの閾値電圧V_tとの関係は、この出願の発明者のシミュレーションによれば、図2のようなものとなる。この図2において、Iで示す特性はコントロールゲートの構成材料の仕事関数が1eVの場合の特性、IIで示す特性は同じく2eVの場合の特性、IIIで示す特性は同じく3eVの場合の特性、IVで示す特性は同じく4eVの場合の特性である。LaB₆で構成したコントロールゲート部分49b下のMOSTランジスタの閾値電圧V_tを例えば0.6V程度にするためには、LaB₆の仕事関数が2.8eV（約3eV）であるので図2の特性IIIから明らかなようにチャンネル層39の濃度を $3 \times 10^{18} / \text{cm}^3$ 程度にすれば良いことが分かる。コントロールゲート全部をポリシリコンで構成した場合閾値電圧V_tを0.6Vとするには、ポリシリコンの仕事関数が4eVであるので図2の特性IVから明らかなようにチャンネル層39の濃度を $6 \times 10^{17} / \text{cm}^3$ 程度にする必要があることが分かる。つまり、LaB₆を用いることによりポリシリコンを用いる場合に比べチャンネル層39の不純物濃度を高くできる。このため、ドレイン領域近傍の電界勾配を急峻にすることができるからホットキャリアの発生効率を高めることができ、したがって、フローティングゲート45へ電子を注入する際の効率向上が高まる。また、チャンネル濃度を高められる分、MOSTラジスタでのショートチャンネル効果を低減することもできるので、コントロールゲート全部をポリシリコンで構成する場合に比べチャンネル長を短くすることができるから、素子の小型化も図れる。

【0020】この図1を用いて説明した半導体記憶装置は次のように動作させることができる。先ず情報書き込みは、ドレイン領域37及びソース領域33a間にドレイン領域37側が正となるように所定電圧を印加することでチャンネルにホットエレクトロンを発生させ、かつ、コントロールゲート49及びソース領域33a間にコントロールゲート側が正となるように高電圧を印加することでこのホットエレクトロンをフローティングゲート45に注入することにより、行なえる。一方、フローティングゲートからの電子の引き抜き（情報の消去）は、コントロールゲート49及びソース領域33a間にソース領域が正となるように高電圧を印加、例えばコントロールゲート49に-10V、ソース領域33aに+5Vを印加することでトンネル絶縁膜43にFN電流を生じさせることにより、行なえる。ただし、この情報消去動作において、この発明の半導体記憶装置は以下に説明する独特の作用を示す。これについて、図3（A）及び

(B)と、図4(A)及び(B)とを参照して説明する。ここで、図3(A)は図1に示した実施例の半導体記憶装置に何らバイアスをかけていない場合におけるポリシリコンコントロールゲート部分49a下のMOS構造部分R(図1参照)でのバンドダイヤグラム、図3(B)は同じくLaB₆コントロールゲート部分49b下のMOS構造部分S(図1参照)でのバンドダイヤグラムである。また、図4(A)は図1に示した実施例の半導体記憶装置に情報消去のためのバイアスを印加した場合におけるポリシリコンコントロールゲート部分49a下のMOS構造部分R(図1参照)でのバンドダイヤグラム、図4(B)は同じくLaB₆コントロールゲート部分49b下のMOS構造部分S(図1参照)でのバンドダイヤグラムである。

【0021】ポリシリコンの仕事関数が4eVであり、LaB₆の仕事関数が2.8eVであり、さらに、半導体基板31としてのシリコン基板の仕事関数が~4eVであるため、この実施例の半導体記憶装置の図1にRで示した部分、Sで示した部分は無バイアス時には前者のバンドダイヤグラムはフラットになり、後者のそれは蓄積状態となる。また、コントロールゲート49に-10V、ソース領域33aに+5Vをそれぞれ印加する消去条件ではポリシリコンコントロールゲート部分49a下のMOS構造部分のソース領域33a表面に空乏層61が生じ易いがLaB₆コントロールゲート部分49b下のMOS構造部分のソース領域33aは空乏化しにくい。このため、図9にPで示した基板電流経路はこの発明の半導体記憶装置では生じない(上記空乏化しにくい部分で電流経路が断ち切られる)のでこの経路Pに起因する基板電流の発生を防止できる。また、ポリシリコンコントロールゲート部分49a下のソース領域33a部分表面は空乏化するのでここにはホールが蓄積し易いから、フローティングゲート45に蓄積されている電子はこの領域に引きつけられ易くなる。このため、フローティングゲート45に蓄積されている電子をソース領域33a側に効率良く引き抜くことができる。

【0022】なお、図1を用いて説明した実施例の半導体記憶装置では、コントロールゲート49のソース領域33aと対向する部分の中央部分をリンドープのポリシリコン(仕事関数が他の部分より大きな材料)で構成していたが、当該材料で構成する部分はこれに限られない。例えば図5(A)に示したようにコントロールゲート49のソース領域33aと対向する部分の左端側(配線35a側)部分、或いは図示を省略したが右端側部分を当該材料で構成しても実施例と同様な効果が得られる。ただし、右端側に部分49aを配置する場合はソース領域33aの右端が部分49bの下部に在りソース領域33aのポテンシャルが部分49bで充分制御されるように部分49aを配置する。或いは図5(B)に示したように左右の端2箇所部分を当該材料で構成しても実

施例と同様な効果が得られる。

【0023】2. 製造方法の説明

次に、この発明の理解を深めるために図1を用いて説明した実施例の半導体記憶装置の製造方法の一例について説明する。この説明を、図6~図8を参照して説明する。なお、図6~図8は、図1に対応する位置の断面図をもって示した工程図である。

【0024】まず、p型シリコン基板31に公知の方法により素子間分離領域41を形成する(図6(A))。

【0025】次に、この試料上にマスク材71として例えばSiO₂膜をCVD法により例えば300mの膜厚に形成する。次に、このSiO₂膜71に公知の微細加工技術により開口部71aを形成する。そして、この試料に例えばP(リン)イオンを例えば入射エネルギーを70KeV、ドーズ量を $1 \times 10^{14} / \text{cm}^2$ とした条件で注入し、その後、この試料を例えば窒素雰囲気中1000℃の温度で30分熱処理し不純物導入領域を活性化させる。これにより、n⁻層33cを得る。次に、この試料に例えばAs(砒素)イオンを例えば入射エネルギーを60KeV、ドーズ量を $2 \times 10^{15} / \text{cm}^2$ とした条件で注入し、その後、この試料を例えば窒素雰囲気中900℃の温度で20分熱処理し不純物導入領域を活性化させる。これにより、n⁺ソース領域33aを得る。このn⁺ソース領域33aの表面におけるキャリア濃度は $1 \times 10^{20} / \text{cm}^3$ になる(図6(B))。

【0026】次に、上記のごとく形成したn⁻層33c及びn⁺ソース領域33aを覆うマスク73例えばレジストパタン73を公知のリソグラフィ技術により形成する(図6(C))。

【0027】次に、この試料に例えばBF₂イオンを例えば入射エネルギーを50KeV、ドーズ量を $5 \times 10^{13} / \text{cm}^2$ とした条件で注入し、次に、レジストパタン73を除去後、この試料を例えば窒素雰囲気中900℃の温度で20分熱処理し不純物導入領域を活性化させる。これにより、p⁺チャネル層39を得る。このp⁺チャネル層39の表面のキャリア濃度は $3 \times 10^{18} / \text{cm}^3$ になる。次に、この試料表面を酸化することにより厚さ10nmのトンネル絶縁膜43を得る(図7(A))。

【0028】次に、この試料上全面にフローティングゲート形成用薄膜45aとしてこの場合ポリシリコン膜45aをCVD法などの好適な成膜法により例えば100nmの膜厚に形成する。ただし、このポリシリコン膜45aはこれに既知の方法によりリンを拡散させ抵抗率500μΩ・cm程度のポリシリコン膜にする。次に、このポリシリコン膜45a上にゲート絶縁膜形成用薄膜47aとしてこの場合酸化窒化膜47aを形成する。この酸化窒化膜47aは、まず、ポリシリコン膜45a上にNH₃とSiH₄とを原料ガスとしたCVD法により膜厚30nmのシリコン窒化膜を形成し、その後、このシリコン窒化膜を酸素中で熱処理しこのシリコン窒化膜上

部を酸化膜とすることで、得ている。次に、この酸化窒化膜47a上に、コントロールゲート49の一部分を形成するための薄膜としてポリシリコン膜49aaをフローティングゲート用ポリシリコン膜45aと同様に形成する(図7(B))。

【0029】次に、このポリシリコン膜49aaを、 n^+ ソース領域33aの一部分上に選択的に残存するように公知の微細加工技術によりパターニングする。これにより、ポリシリコンで構成したコントロールゲート部分49aが得られる(図7(C))。

【0030】次に、この試料上にコントロールゲート49の他の部分形成用薄膜であるLaB₆膜49baを例えばスパッタ法により例えば200nmの膜厚に形成する(図8(A))。

【0031】次に、このLaB₆膜49baを公知の微細加工技術によりコントロールゲート形状に加工する。これによりLaB₆で構成したコントロールゲート部分49bが得られ、したがって、ポリシリコンで構成したコントロールゲート部分49aとLaB₆で構成したコントロールゲート部分49bとから成るコントロールゲート49が得られる。次に、例えば、Ar(アルゴン)を用いたイオンミリングにより、ゲート絶縁膜形成用薄膜47a、フローティングゲート形成用薄膜45a及びトンネル絶縁膜43をそれぞれ所定形状に加工して、ゲート絶縁膜47、フローティングゲート45及びトンネル絶縁膜43をそれぞれ得る(図8(B))。

【0032】次に、この試料に例えばP(リン)イオンを例えば入射エネルギーを40KeV、ドーズ量を $5 \times 10^{15}/\text{cm}^2$ とした条件で注入し、その後、この試料を例えば窒素雰囲気中950℃の温度で30分熱処理し、不純物導入領域を活性化する。これにより、ソース領域の一部とも考えられる n^+ 層33bと、ドレイン領域37とを得る(図8(C))。

【0033】その後、公知のMOS-LSIの製造方法を用い、層間絶縁膜51(図1参照)の形成、層間絶縁膜51へのコンタクトホール形成、及び外部配線35a、35b(図1参照)の形成をそれぞれ行なう。これにより実施例の半導体記憶装置を得る。

【0034】なお、上述の実施例ではメモリセルに使用する電界効果トランジスタがNチャネル型の場合の半導体記憶装置の例を説明したが、メモリセルに使用する電界効果トランジスタがPチャネル型の場合もこの発明は適用できる。ただし、その場合は、第1の材料と第2の材料の仕事関数に関する条件を実施例の場合と逆にする。また、上述の実施例では半導体基板の、情報消去に使用される領域をソース領域としていたが、設計に応じてはドレイン領域としても又他の領域としても良い。

【0035】

【発明の効果】上述した説明からも明らかなように、この発明の半導体記憶装置によれば、半導体基板の情報消

去に使用される部分と対向するコントロールゲート部分を、仕事関数が異なる第1及び第2の材料(メモリセルに使用される電界効果トランジスタがNチャネルの場合は第2の材料の仕事関数>第1材料の仕事関数。)が並置されるように構成している。このため、情報消去に使用される半導体基板一部領域のうちの第1の材料で構成したコントロールゲート部分と対向する領域を空乏化させることなく、情報消去動作を行なえる。したがって、従来問題とされていた図9にPで示した基板電流経路を消滅させることができるので、この基板電流を防止できる。

【0036】また、メモリセルに使用される電界効果トランジスタがNチャネルの場合で説明すれば、情報消去に使用される半導体基板の一部領域のうちの第2の材料(仕事関数が大きな材料)で構成したコントロールゲート部分と対向する領域の表面付近は、上記空乏化及び反転によりホール(電子の注入・抜き取りにより記憶を行なう場合を仮定した。)が蓄積され易いので、この領域にはフローティングゲートに蓄積されている電子がより引きつけられ易くなる。このため、フローティングゲートに蓄積されている電子を基板側に効率良く引き抜くことができる。

【0037】また、当該半導体記憶装置のMOSTランジスタ部分のコントロールゲートは仕事関数が小さな材料(第1の材料)で構成されることになるので、その分、チャネルの不純物濃度を高めることができる。したがって、ドレイン近傍の電界勾配を急峻にすることができるからホットキャリアの発生効率を高めること(電子をフローティングゲートに書き込む効率を高めること)が可能になる。

【図面の簡単な説明】

【図1】実施例の半導体記憶装置を示す断面図である。

【図2】実施例の説明に供する図である。

【図3】(A)及び(B)は、実施例の半導体記憶装置が無バイアス時の図1のR部分、S部分の各バンドダイヤグラムである。

【図4】(A)及び(B)は、実施例の半導体記憶装置に情報消去のためのバイアス印加時の図1のR部分、S部分の各バンドダイヤグラムである。

【図5】(A)及び(B)は、他の実施例の半導体記憶装置をそれぞれ示す断面図である。

【図6】(A)～(C)は、実施例の半導体記憶装置の製法例を示す工程図である。

【図7】(A)～(C)は、実施例の半導体記憶装置の製法例を示す図6に続く工程図である。

【図8】(A)～(C)は、実施例の半導体記憶装置の製法例を示す図7に続く工程図である。

【図9】従来技術の説明に供する図である。

【符号の説明】

31: 半導体基板(p型シリコン基板)

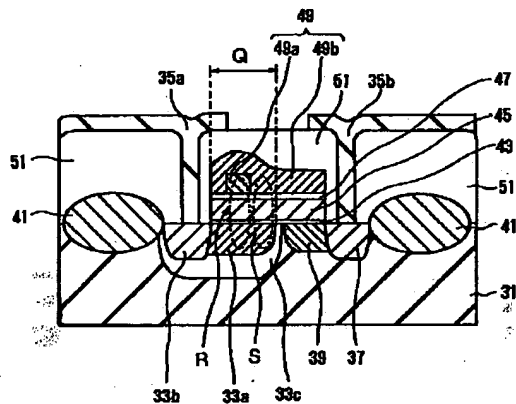
11

12

33a: 半導体基板の情報消去に使用される領域 (この場合 n^+ ソース領域)
 33b: 高濃度不純物拡散層 (この場合 n^+ 層)
 33c: 低濃度不純物拡散層 (この場合 n^- 層)
 35a, 35b: 配線
 37: ドレイン領域
 39: チャネル層
 41: 素子間分離領域
 43: トンネル絶縁膜

45: フローティングゲート
 47: ゲート絶縁膜
 49: コントロールゲート
 49a: コントロールゲートの、第2の材料で構成された部分
 49b: コントロールゲートの、第1の材料で構成された部分
 R, S: 各MOS構造部分
 51: 層間絶縁膜

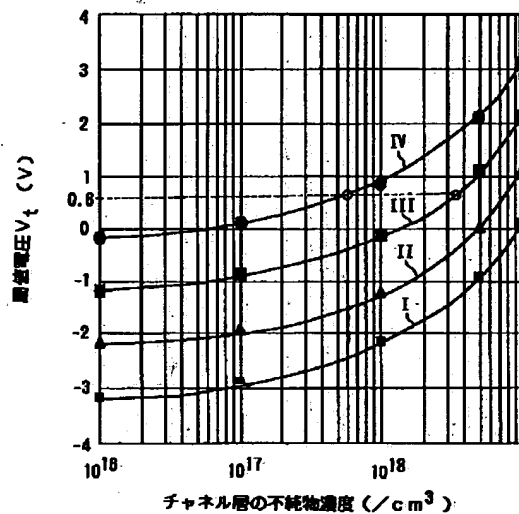
【図1】



31: 半導体基板 (p型シリコン基板)
 33a: 半導体基板の情報消去に使用される領域 (この場合 n^+ ソース領域)
 33b: 高濃度不純物拡散層 (n^+ 層)
 33c: 低濃度不純物拡散層 (n^- 層)
 35a, 35b: 配線
 37: ドレイン領域
 39: チャネル層
 41: 素子間分離領域
 43: トンネル絶縁膜
 45: フローティングゲート
 47: ゲート絶縁膜
 49: コントロールゲート
 49a: コントロールゲートの第2材料で構成した部分 (ポリシリコン部分)
 49b: コントロールゲートの第1材料で構成した部分 (LaB₆ 部分)
 51: 層間絶縁膜
 R, S: 各MOS構造部分

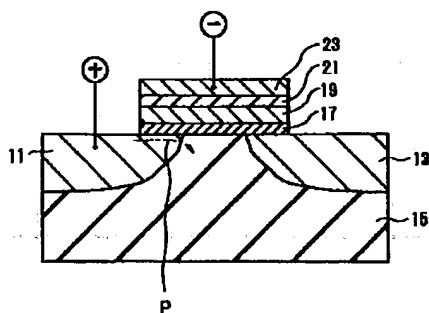
実施例の説明に供する図

【図2】



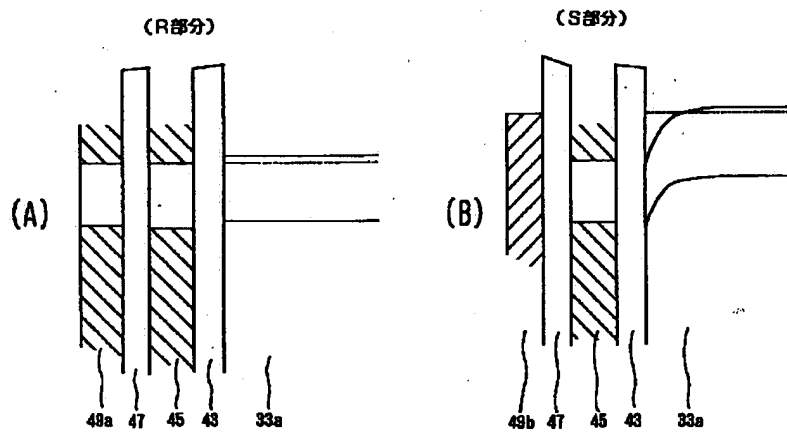
実施例の説明に供する図

【図9】



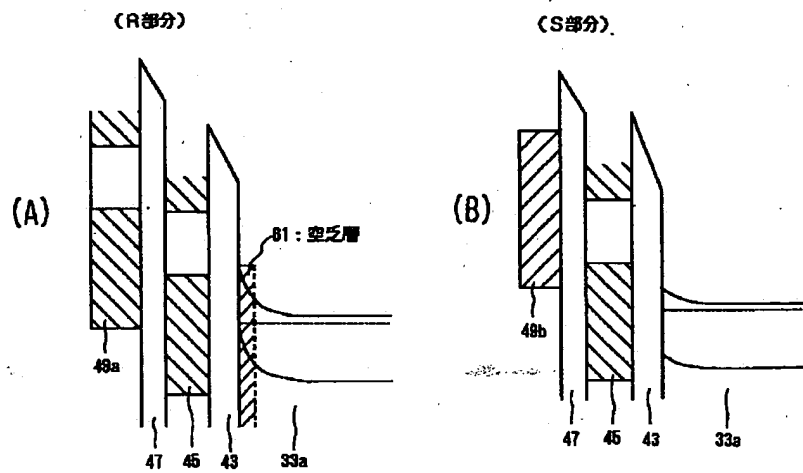
従来技術の説明に供する図

【図3】



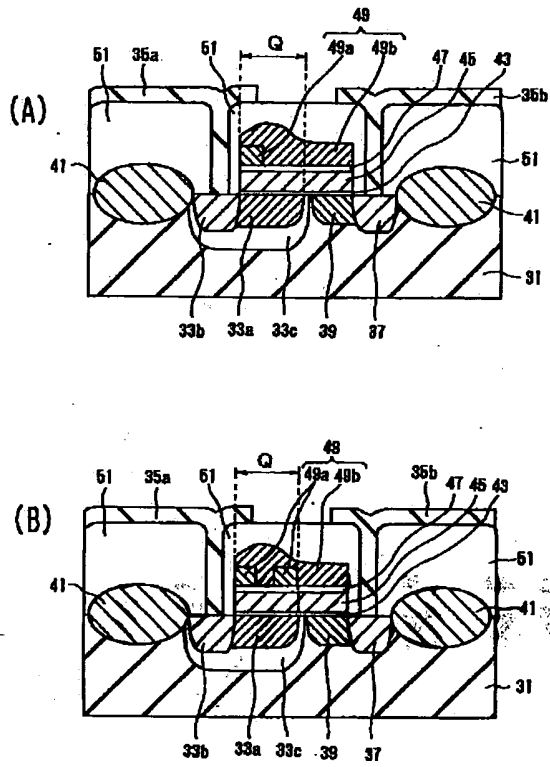
無バイアス時の図1のR部分、S部分の各バンドダイヤグラム

【図4】



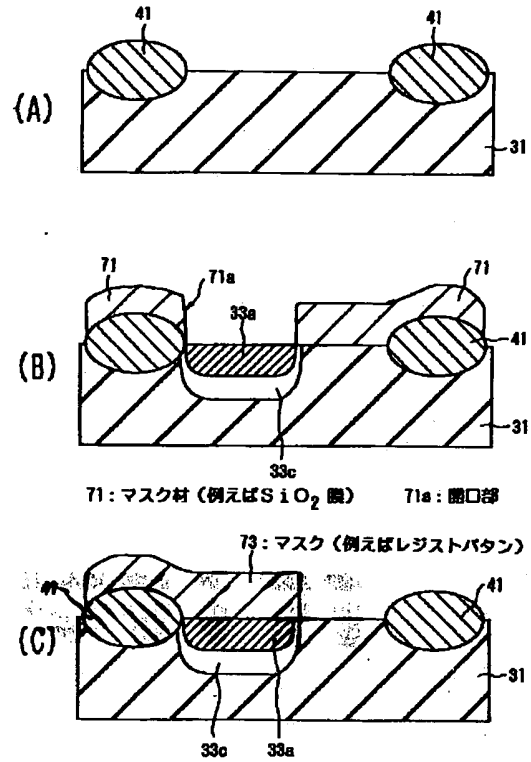
情報消去のためのバイアス印加時の図1のR部分、S部分の各バンドダイヤグラム

【図5】



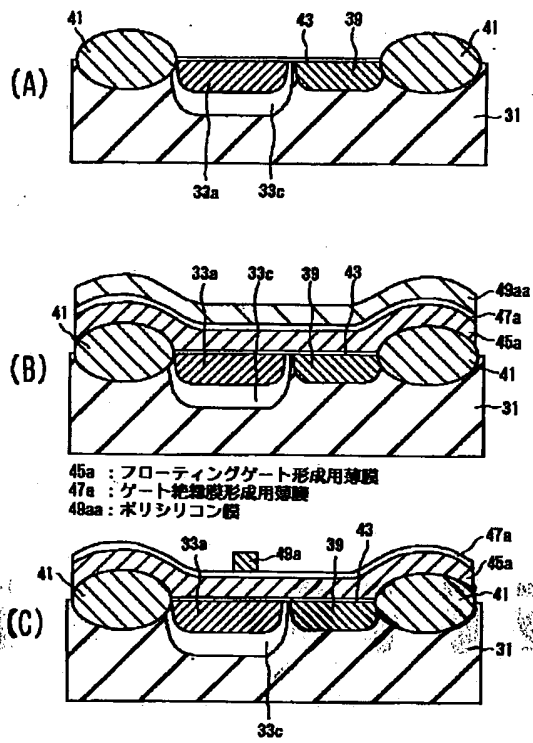
他の実施例の説明に供する図

【図6】



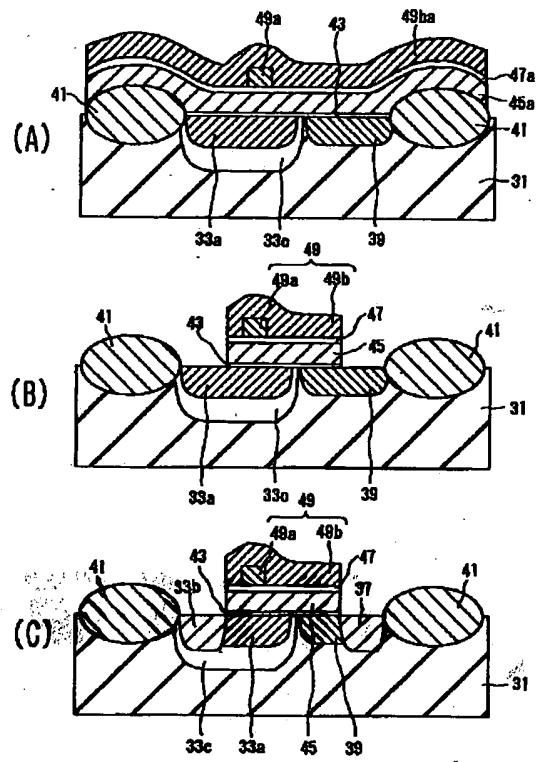
製法例の説明に供する工程図 (その1)

【図7】



製法例の説明に供する工程図(その2)

【図8】



製法例の説明に供する工程図(その3)

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the semiconductor memory performed by impressing a predetermined electrical potential difference while it is the semiconductor memory of an EEPROM mold and a semi-conductor substrate is a field a part as the control gate about informational elimination When electric field effect TORAJISUTA used for a memory cell is an N channel mold A part of semi-conductor substrate part field used for said information elimination of the control gate, and part which counters Constitute from the 1st ingredient which constitutes other parts of this control gate with the 2nd ingredient which has a big work function, and when said field-effect transistor is a P channel mold The semiconductor memory characterized by constituting from the 1st ingredient which constitutes other parts of this control gate for a part of semi-conductor substrate part field used for said information-elimination of said control gate, and part which counters with the 2nd ingredient which has a small work function.

[Claim 2] The semiconductor memory characterized by choosing so that the conditions of the work function of the work function $>$ this 1st ingredient of said semi-conductor substrate for said 1st ingredient may be satisfied in a semiconductor memory according to claim 1, when said field-effect transistor is an N channel mold, and having chosen so that the conditions of the work function of the work function $<$ this 1st ingredient of said semi-conductor substrate for said 1st ingredient may be satisfied when said field-effect transistor is a P channel mold.

[Claim 3] The semiconductor memory characterized by the semi-conductor substrate part field used for said information elimination being a source field or a drain field in a semiconductor memory according to claim 1.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the semiconductor memory of an EEPROM (Electrically Erasable Programmable Read Only Memory) mold.

[0002]

[Description of the Prior Art] The attempt which is going to substitute a semiconductor memory for the magnetic storage using a hard disk, a floppy disk, a magnetic tape, etc. is made in recent years. Since a mechanical component is removable from a store by carrying out like this, it is more small, is more reliable, and is because a computer with more early the writing and read-out rate of data etc. is realizable.

[0003] As a suitable semiconductor memory for this attempt, it is EEPROM and Flash like an indication in Reference I ("latest edition VLSI process-data handbook" Science (1990. 3.31) forum, pp.81-88), for example. There are EEPROM, a NAND mold EEPROM, etc. The cell area per bit is small compared with other things, namely, since the cost per bit is low, promising ** especially of the NAND mold EEPROM is carried out.

[0004] Any [these] EEPROM was considered as the configuration which carried out the laminating of the tunnel insulator layer 17, the floating gate 19, gate dielectric film 21, and KONTORORUGETO 23 at this order on the part between the source field 11 of the p-type silicon substrate 15 in which n mold source field 11 and the drain field 13 were fundamentally formed as the sectional view was had and shown in drawing 9, and the drain field 13.

[0005] In these EE-PROM, when the electron is poured into the floating gate, informational storage is performed considering the condition of data "1", and the case where it is not carried out, as a condition of data "0." Impregnation of the electron to the floating gate and the drawing of the electron from there have various approaches also in the above-mentioned reference like an indication. The former can be performed by pouring a hot electron into the floating gate by impressing the high voltage so that a channel may be made to generate a hot electron by impressing a predetermined electrical potential difference so that a drain side may serve as forward between for example, a drain field and a source field and a control gate side may serve as forward between the control gate and a source field. On the other hand, drawing (information elimination) of the electron from the floating gate can be performed by making a tunnel insulator layer produce the Fowler-Nordheim electron current (henceforth "FN current") by impressing the high voltage so that a source field side may serve as forward between the control gate and a source field. In addition, when supplying from the power source prepared separately, the pressure up of the electrical potential difference for impregnation of an electron and drawing may be carried out by the booster circuit which prepared only 5V single power supply as an external power, and prepared this electrical potential difference in the interior of a chip like for example, the NAND mold EEPROM, and it may be supplied.

[0006]

[Problem(s) to be Solved by the Invention] However, as for the control gate 23, any conventional EE-PROM consisted of one kind of ingredients (generally polish recon). For this reason, if an electrical potential difference is impressed so that the source field 11 side may serve as forward between the control gate 23 and the source field 11 as shown in drawing 9 for information elimination The control gate 23 of the source field 11 and the front face of the part which has countered are a current (P shows to drawing 9.) to the semi-conductor substrate 17 from a forward electrical-potential-difference power source which it depletion-izes equally and is further reversed, a tunnel current path is formed since the width of face of this depletion layer is still narrower, consequently is impressed to the source field 11. It flows (this current is called a "substrate current" on the convenience of explanation, and the following).

[0007] This substrate current becomes the cause which is originally an unnecessary current and causes the increment in the consumed electric current. Neither of the cases of the increment in the consumed electric current is desirable. Moreover, this substrate current also becomes the cause which makes it difficult to prepare a booster circuit, when establishing a booster circuit in the interior of a chip. Therefore, structure where generating of a substrate current can be prevented is desired.

[0008] It is in offering the semiconductor memory of the EEPROM mold of structure which can prevent that this invention is made in view of such a point, therefore a substrate current produces the purpose of this invention at the time of information elimination.

[0009]

[Means for Solving the Problem] In order to aim at achievement of this purpose, according to this invention, it is the semiconductor memory of an EEPROM mold. In the semiconductor memory performed by impressing a predetermined electrical potential difference while a semi-conductor substrate is with a field a part as the control gate about informational elimination When electric field effect TORAJISUTA used for a memory cell is an N channel mold A part of semi-conductor substrate part field used for the above-mentioned information elimination of the control gate, and part which counters Constitute from the 1st ingredient which constitutes other parts of this control gate with the 2nd ingredient which has a big work function, and when the above-mentioned field-effect transistor is a P channel mold It is characterized by constituting from the 1st ingredient which constitutes other parts of this control gate for a part of semi-conductor substrate part field used for the above-mentioned information elimination of the above-mentioned control gate, and part which counters with the 2nd ingredient which has a small work function.

[0010] Each 1st [which realizes such the control gate], and 2nd ingredients will not be limited especially if the above-mentioned conditions are satisfied. Moreover, what is necessary is just to determine in consideration of the service conditions (electrical-potential-difference value impressed to information elimination) of the semiconductor memory concerned about whether these ingredients are chosen so that what work function difference may arise between the 1st ingredient and the 2nd ingredient. If electric field effect TORAJISUTA used for a memory cell thinks in the example of an N channel mold, the example which uses the 1st ingredient as a 6 HOU-ized lanthanum (LaB6), and makes the 2nd ingredient polish recon, for example can be given. There is a track record as a gate formation ingredient, and polish recon is LaB6. It is chemically stable, the work function of polish recon is 4eV, and ** is also LaB6. It is because a work function is 2.8eV, so the conditions of the work function as used in the field of this invention are also satisfied.

[0011] Moreover, it is suitable to choose so that the conditions of the work function of the work function > this 1st ingredient of the above-mentioned semi-conductor substrate for the 1st above-mentioned ingredient may be satisfied, when the field-effect transistor used for a memory cell in implementation of this invention is an N channel mold, and to choose so that the conditions of the work function of the work function < this 1st ingredient of the above-mentioned semi-conductor substrate for the 1st above-mentioned ingredient may be satisfied when the above-mentioned field-effect transistor is a P channel mold. Thus, it is because depletion-ization by part for the MOS structured division under the control gate part which consisted of the 1st ingredient when carrying out information elimination actuation of the semiconductor memory of this invention can be controlled more if the 1st ingredient is chosen, respectively. It sets, when the field-effect transistor used for a memory cell since the work function of silicon is -4eV when using a semi-conductor substrate as a silicon substrate is an N channel mold, and it is the 1st ingredient LaB6 Since the configuration of the above-mentioned instantiation which carries out and makes the 2nd ingredient polish recon also satisfies this suitable condition, it is desirable. In addition, LaB6 Instead, it is thought that other borides or carbide may be used.

[0012]

[Function] According to the configuration of this invention, the control gate part which consisted of the 1st ingredient, the part which counters, and the 1st ingredient are made in the semi-conductor substrate part field (for example, a source field or a drain field) used for information elimination by at least two fields, the control gate part which consisted of the 2nd ingredient which has the work function with which predetermined relation differs, and the part which counters. And when are thought in the example in case the field-effect transistor used, for example for a memory cell is an N channel mold and an electrical potential difference is impressed between the control gate and a semi-conductor substrate, it depletion-izes previously compared with the control gate part by which the work function was constituted from a big ingredient (the 2nd ingredient), the control gate part by which the direction of the semi-conductor substrate field which counters was constituted from an ingredient (the 1st ingredient) with a small work function, and the semi-conductor substrate field which counters. some semi-conductor substrates with which this is used for information elimination -- since it means that information elimination actuation is possible, without making the control gate part constituted from the 1st ingredient of the fields, and the field which counters depletion-ize, the substrate current path shown in drawing 9 conventionally made into the problem by P can be extinguished.

[0013] moreover, some semi-conductor substrates use for information elimination -- in near the front face of the control gate part constituted from the 2nd ingredient of the fields (ingredient with a big work function), and the field which counter, since a hole (the case where it memorized by impregnation and sampling be assumed.) tend to be accumulate by the above-mentioned depletion-izing and reversal, the electron accumulate in the floating gate become this field be easier be draw. [an electron] For this reason, the electron accumulated in the floating gate can be

efficiently drawn out to a substrate side.

[0014] Moreover, since the control gate of the MOS transistor part of the semiconductor memory concerned will consist of ingredients (the 1st ingredient) with a small work function, the high impurity concentration of the part and a channel can be raised (drawing 2 is used and explained later for details.). Therefore, since the electric-field inclination near the drain can be made steep, it becomes possible to raise the generating effectiveness of a hot carrier (to raise the effectiveness which writes an electron in the floating gate).

[0015] Since the 1st and 2nd ingredients are considered as predetermined relation when the field-effect transistor used for a memory cell is a P channel, these operations are acquired similarly (although behavior of an electron, an electron hole, etc. is reversed).

[0016]

[Example] Hereafter, the example of the semiconductor memory of this invention is explained with reference to a drawing. In addition, the following examples are examples at the time of using as an N channel mold the field-effect transistor used for a memory cell. Moreover, each drawing used for explanation has shown the configuration, magnitude, and arrangement relation of each constituent roughly to extent which can understand this invention.

Moreover, in each drawing used for explanation, the same sign is attached and the same constituent is shown. Moreover, numerical conditions, such as an ingredient which the following explains and is described, a manufacture means and thickness, temperature, and time amount, are only examples of this invention within the limits.

[0017] 1. The structure explanatory view 1 is a sectional view having shown the important section of the semiconductor memory of an example. The semiconductor memory of this example is p+ as impurity diffused layer 33b, the drain field 37, and the channel layer 39 for connecting between this source field 33a and external wiring 35a, although considered a part of source field 33a which serves also as the semi-conductor substrate part field used for the p-type silicon substrate 31 as a semi-conductor substrate by information elimination, and this source field 33a. It has a layer and the isolation region 41 between components. Furthermore, the semiconductor memory of this example is equipped with the tunnel insulator layer 43, the floating gate 45, gate dielectric film 47, and the control gate 49 sequentially from the substrate 31 side on the part over between source field 31a of a substrate 31, and the channel layer 39. Central partial 49a is constituted from polish recon of the Lynn (P) dope as the 2nd ingredient in this case, and part 49a of the semi-conductor substrate part field (in this case, source field 33a) used for information elimination of the control gate 49, and the part (part shown in [Q] drawing 1) which counters -- The other partial 49b consists of 6 HOU-ized lanthanums (LaB6) as the 1st ingredient.

[0018] Moreover, the tunnel insulator layer 43 is constituted from silicon oxide with a thickness of 10nm, the floating gate 45 is constituted from polish recon film with a thickness [of a phosphorus dope] of 100nm, and the oxidation nitride constitutes gate dielectric film 47 from this example. Moreover, for source field 33a, it constitutes from high concentration n mold impurity diffused layer 33a (the following and n+. layer 33a or n+ source field 33a is said), and impurity diffused layer 33b is also n+. It constitutes from a layer and they are these n+ further. Source field 33a and n+ Layer 33b is prepared in low concentration n mold impurity diffused layer 33c (following, n - [Layer 33c is said.]). The term of the below-mentioned manufacture approach describes the formation conditions of these each class 33a, 33b, and 33c, and each formation conditions of the drain field 37 and the channel layer 39. In addition, in drawing 1 , external wiring to which 35b is connected to the drain field 37, and 51 are interlayer insulation films.

[0019] Here, it is source field 33a n+ It considered as the layer because information elimination effectiveness was raised by carrying out like this. Moreover, n - Thereby, it is n+ which prepared layer 33c. Source field 33a and p+ It is because it can prevent that it can prevent that the channel layer 39 touches directly, it has it, and steep electric-field inclination can do it and junction pressure-proofing can be raised. Moreover, p+ It is LaB6 to have formed the channel layer 39. Threshold voltage V_t of the MOS transistor under constituted control gate partial 49b It is for adjusting. However, LaB6 The effectiveness that it explains below is acquired by having used. The high impurity concentration of the channel layer 37 at the time of making the work function of the component of the control gate into a parameter, and threshold voltage V_t of an MOS transistor According to the simulation of the artificer of this application, relation becomes a thing like drawing 2 . Similarly the property which shows the property shown by I in this drawing 2 by the property in case the work function of the component of the control gate is 1eV, and II is a property in 2eV, and III. The shown property is the same, the property in 3eV and the property which shows by IV are the same, and it is a property in 4eV. LaB6 Threshold voltage V_t of the MOS transistor under constituted control gate partial 49b in order to make it about 0.6V -- LaB6 since a work function is 2.8eV (about 3eV) -- property III of drawing 2 from -- clear -- as -- the concentration of the channel layer 39 -- $3 \times 10^{18} / \text{cm}^3$ It turns out that what is necessary is just to make it extent. It is threshold voltage V_t by the case where all the control gates are constituted from polish recon. It is $6 \times 10^{17} / \text{cm}^3$ about the concentration of the channel layer 39 so that clearly [in order to be referred to as 0.6V / since the work function of polish recon is 4eV] from the property IV of drawing 2 . It turns out that it is necessary to make it extent. That is, LaB6 Compared with the case where polish recon is used, high impurity concentration of the channel layer 39 can be

made high by using. For this reason, the improvement in effectiveness at the time of being able to raise the generating effectiveness of a hot carrier, since the electric-field inclination near the drain field can be made steep, therefore pouring in an electron to the floating gate 45 increases. Moreover, since the short channel effect in the part and MOS TORAJISUTA which have channel concentration raised can also be reduced and channel length can be shortened compared with the case where all the control gates are constituted from polish recon, the miniaturization of a component can also be attained.

[0020] The semiconductor memory explained using this drawing 1 can be operated as follows. Information writing can be first performed by pouring this hot electron into the floating gate 45 by impressing the high voltage so that a channel may be made to generate a hot electron by impressing a predetermined electrical potential difference so that the drain field 37 side may serve as forward among drain field 37 and source field 33a and a control gate side may serve as forward among control gate 49 and source field 33a. On the other hand, drawing (informational elimination) of the electron from the floating gate can be performed by making the tunnel insulator layer 43 produce FN current by impressing the high voltage to impression 49, for example, the control gate, and impressing +5V to -10V and source field 33a so that a source field may serve as forward among control gate 49 and source field 33a. However, in this information elimination actuation, the semiconductor memory of this invention shows the peculiar operation explained below. This is explained with reference to drawing 3 (A) and (B), and drawing 4 (A) and (B). Here, for drawing 3 (A), similarly, the band diagram in the MOS structured division part R under polish recon control gate partial 49a when having not applied bias to the semiconductor memory of the example shown in drawing 1 at all (refer to drawing 1) and drawing 3 (B) are LaB6. It is a band diagram in the MOS structured division part S under control gate partial 49b (refer to drawing 1). Moreover, for drawing 4 (A), similarly, the band diagram in the MOS structured division part R under polish recon control gate partial 49a at the time of impressing the bias for information elimination to the semiconductor memory of the example shown in drawing 1 (refer to drawing 1) and drawing 4 (B) are LaB6. It is a band diagram in the MOS structured division part S under control gate partial 49b (see to drawing 1).

[0021] The work function of polish recon is 4eV, and it is LaB6. A work function is 2.8eV, further, since the work function of the silicon substrate as a semi-conductor substrate 31 is -4eV, in the part shown in drawing 1 of the semiconductor memory of this example by R, and the part shown by S, at the time of non-bias, the former band diagram becomes a flat, and latter it will be in an are recording condition. Moreover, it is LaB6 although it is easy to produce a depletion layer 61 on the source field 33a front face for the MOS structured division under polish recon control gate partial 49a on the elimination conditions which impress -10V to the control gate 49, and impress +5V to source field 33a, respectively. It is [depletion-] hard toize source field 33a for the MOS structured division under control gate partial 49b. For this reason, the substrate current path shown in drawing 9 by P can prevent generating of the substrate current which originates in this path P by that (a current path is severed in the part which is [above/depletion-] hard toize) which is not produced in the semiconductor memory of this invention. Moreover, since the source field 33a partial front face under polish recon control gate partial 49a is depletion-ized and it is easy to accumulate a hole here, the electron accumulated in the floating gate 45 becomes that it is easy to be drawn to this field. For this reason, the electron accumulated in the floating gate 45 can be efficiently drawn out to the source field 33a side.

[0022] In addition, although the polish recon (ingredient with a bigger work function than other parts) of a phosphorus dope constituted the central parts of source field 33a of the control gate 49, and the part which counters from the semiconductor memory of an example explained using drawing 1, the part constituted from ingredient concerned is not restricted to this. For example, although a part or illustration was omitted the left end side (wiring 35a side) of source field 33a of the control gate 49, and the part which counters as shown in drawing 5 (A), even if it constitutes a part for a right end flank from ingredient concerned, the same effectiveness as an example is acquired. However, when arranging partial 49a to a right end side, partial 49a is arranged so that the right end of source field 33a may be in the lower part of partial 49b and the potential of source field 33a may be enough controlled by partial 49b. Or as shown in drawing 5 (B), even if it constitutes a two edge part on either side from ingredient concerned, the same effectiveness as an example is acquired.

[0023] 2. In order to deepen an understanding of explanation of the manufacture approach, next this invention, explain an example of the manufacture approach of the semiconductor memory of an example which used and explained drawing 1. This explanation is explained with reference to drawing 6 - drawing 8. In addition, drawing 6 - drawing 8 are process drawings shown with the sectional view of the location corresponding to drawing 1.

[0024] First, the isolation region 41 between components is formed in the p-type silicon substrate 31 by the well-known approach (drawing 6 (A)).

[0025] Next, it is SiO₂ as mask material 71 on this sample. The film is formed in 300nm thickness with a CVD method. Next, this SiO₂ Opening 71a is formed in the film 71 with well-known ultra-fine processing technology. and this sample -- for example, P (Lynn) ion -- for example, incidence energy -- 70KeV(s) and a dose -- 1x10¹⁴/cm² ** -- it

pours in on the conditions carried out, and after that, this sample is heat-treated at the temperature of 1000 degrees C for example, among nitrogen-gas-atmosphere mind for 30 minutes, and an impurity installation field is activated. Thereby, it is n⁻. Layer 33c is obtained. next, this sample -- for example, As (arsenic) ion -- for example, incidence energy -- 60KeV(s) and a dose -- 2×10^{15} /cm² ** -- it pours in on the conditions carried out, and after that, this sample is heat-treated at the temperature of 900 degrees C for example, among nitrogen-gas-atmosphere mind for 20 minutes, and an impurity installation field is activated. Thereby, it is n⁺. Source field 33a is obtained. This n⁺ The carrier concentration in the front face of source field 33a is 1×10^{20} /cm³. It becomes (drawing 6 (B)).

[0026] Next, n formed like the above - Layer 33c and n⁺ The wrap mask 73 73, for example, a resist pattern, is formed for source field 33a with a well-known lithography technique (drawing 6 (C)).

[0027] next, this sample -- for example, BF₂ ion -- for example, incidence energy -- 50KeV(s) and a dose -- 5×10^{13} /cm² ** -- it pours in on the conditions carried out, next this sample after removing the resist pattern 73 is heat-treated at the temperature of 900 degrees C for example, among nitrogen-gas-atmosphere mind for 20 minutes, and an impurity installation field is activated. Thereby, it is p⁺. The channel layer 39 is obtained. This p⁺ The carrier concentration of the front face of the channel layer 39 is 3×10^{18} /cm³. It becomes: Next, the tunnel insulator layer 43 with a thickness of 10nm is obtained by oxidizing this sample front face (drawing 7 (A)).

[0028] Next, polish recon film 45a is formed in 100nm thickness by the suitable forming-membranes methods, such as a CVD method, in this case as thin film 45 for floating-gate formation a all over this sample top. However, this polish recon film 45a makes this diffuse Lynn by the known approach, and is used as the polish recon film of resistivity ohm-cm extent of 500micro. Next, oxidation nitride 47a is formed in this case as thin film 47 for gate-dielectric-film formation a on this polish recon film 45a. This oxidation nitride 47a is NH₃ on polish recon film 45a first. SiH₄ The silicon nitride of 30nm of thickness was formed with the CVD method made into material gas, and after that, it is heat-treating this silicon nitride in oxygen, and using this silicon nitride upper part as an oxide film, and has obtained. Next, polish recon film 49aa is formed like polish recon film 45a for the floating gates as a thin film for forming a part of control gate 49 on this oxidation nitride 47a (drawing 7 (B)).

[0029] Next, it is this polish recon film 49aa n⁺ Patterning is carried out with well-known ultra-fine processing technology so that source field 33a may remain alternatively upwards in part. Thereby, control gate partial 49a constituted from polish recon is obtained (drawing 7 (C)).

[0030] Next, LaB₆ which are other thin films for partial formation of the control gate 49 on this sample Film 49ba is formed in 200nm thickness by the spatter (drawing 8 (A)).

[0031] Next, this LaB₆ Film 49ba is processed into a control gate configuration with well-known ultra-fine processing technology. Thereby, it is LaB₆. Control gate partial 49a and LaB₆ which constituted control gate partial 49b was obtained, therefore were constituted from polish recon The control gate 49 which consists of constituted control gate partial 49b is obtained. Next, for example, by the ion milling using Ar (argon), thin film 47 for gate-dielectric-film formation a, thin film 45 for floating-gate formation a, and the tunnel insulator layer 43 are processed into a predetermined configuration, respectively, and gate dielectric film 47, the floating gate 45, and the tunnel insulator layer 43 are obtained, respectively (drawing 8 (B)).

[0032] next, this sample -- for example, P (Lynn) ion -- for example, incidence energy -- 40KeV(s) and a dose -- 5×10^{15} /cm² ** -- it pours in on the conditions carried out, and after that, this sample is heat-treated at the temperature of 950 degrees C for example, among nitrogen-gas-atmosphere mind for 30 minutes, and an impurity installation field is activated. n⁺ considered by this to be a part of source field Layer 33b and the drain field 37 are obtained (drawing 8 (C)).

[0033] Then, formation of an interlayer insulation film 51 (refer to drawing 1), formation of the contact hole to an interlayer insulation film 51, and formation of the external wiring 35a and 35b (refer to drawing 1) are performed using the manufacture approach of well-known MOS-LSI, respectively. This obtains the semiconductor memory of an example.

[0034] In addition, although the above-mentioned example explained the example of a semiconductor memory in case the field-effect transistor used for a memory cell is an N channel mold, this invention can be applied also when the field-effect transistor used for a memory cell is a P channel mold. However, the conditions about the work function of the 1st ingredient and the 2nd ingredient are made into the case of an example, and reverse in that case. Moreover, although the field used for information elimination of a semi-conductor substrate was made into the source field in the above-mentioned example, if it responds to a design, it is good also as other fields also as a drain field.

[0035]

[Effect of the Invention] According to the semiconductor memory of this invention, the part used for information elimination of a semi-conductor substrate and the control gate part which counters are constituted so that the 1st and 2nd ingredients (it is the work function of the work function > 1st ingredient of the 2nd ingredient when the field-effect transistor used for a memory cell is an N channel.) with which work functions differ may be juxtaposed, so that clearly

also from the explanation mentioned above. For this reason, information elimination actuation can be performed, without making the control gate part constituted from the 1st ingredient of the semi-conductor substrate part fields used for information elimination, and the field which counters depletion-ize. Therefore, since the substrate current path shown in drawing 9 conventionally made into the problem by P can be extinguished, this substrate current can be prevented.

[0036] Moreover, if it explains by the case where the field-effect transistor used for a memory cell is an N channel. Near the front face of the control gate part of the semi-conductor substrate use for information elimination constituted from the 2nd ingredient of the fields (ingredient with a big work function) in part and the field which counter be a hole (the case where it memorized by impregnation and sampling of an electron be assumed.) by the above-mentioned depletion-izing and reversal. Since it is easy to be accumulated, the electron accumulated in the floating gate becomes this field that it is easier to be drawn. For this reason, the electron accumulated in the floating gate can be efficiently drawn out to a substrate side.

[0037] Moreover, since a work function will consist of small ingredients (the 1st ingredient), the KOTORORU gate of the MOS transistor part of the semiconductor memory concerned can raise the high impurity concentration of the part and a channel. Therefore, since the electric-field inclination near the drain can be made steep, it becomes possible to raise the generating effectiveness of a hot carrier (to raise the effectiveness which writes an electron in the floating gate).

[Translation done.]